

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-075841

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

G09G 3/36  
G02F 1/133

(21)Application number : 10-244773

(71)Applicant : SONY CORP

(22)Date of filing : 31.08.1998

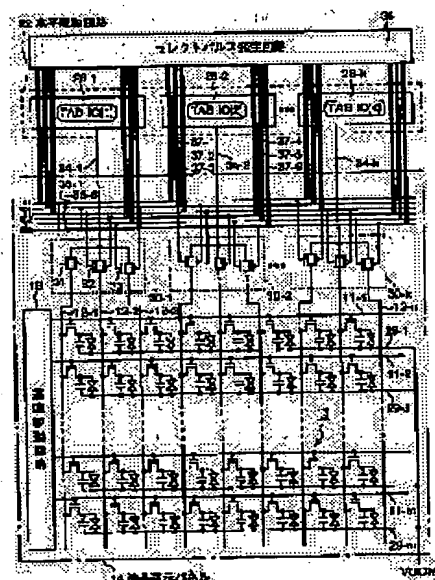
(72)Inventor : INO MASUMITSU  
MAEKAWA TOSHIICHI  
NAKAJIMA YOSHIHARU  
ICHIKAWA HIROAKI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To eliminate insufficient contrast or generation of horizontal luminous variance and to obtain stable image quality by setting an electric potential on the low level side of a select pulse lower than that of a signal potential outputted from a horizontal driving circuit.

**SOLUTION:** The select pulse generating circuit 36 is such that a signal potential outputted from TABIC 28-1 to 28-k has 0V (grounding potential) for the low level side potential while, as a select pulse S1-S3, XS1-XS3, the low level side potential is set lower than the grounding potential. In addition, the potential on the high level side is higher than that of a signal potential. For example, it is structured so as to generate a pulse of -2V to 9 V amplitude. As a result, no electric load of a non-selective signal line flows out, even in the case of a signal potential jump from a selective signal line to the non-selective signal line, so that the potential of the non-selective signal line is maintained at the original signal potential.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The display which comes to form a pixel on a transparence insulating substrate at the intersection of the gate-line for a multi-line and the signal line for two or more trains which were wired in the shape of a matrix, The vertical-drive circuit which is prepared on said transparence insulating substrate and drives the gate line for said multi-line, The level drive circuit which outputs the signal potential of the time series corresponding to the predetermined number of time sharing, The time division switch supplied to the signal line to which time sharing of the signal potential of the time series outputted from said level drive circuit is carried out, and it corresponds of the signal lines for said two or more trains, The liquid crystal display characterized by having had the selection pulse generating circuit which generates the selection pulse for making said time division switch turn on, and setting up lower than the potential by the side of the low of the signal potential outputted from said level drive circuit the potential by the side of the low of said selection pulse.

[Claim 2] The liquid crystal display according to claim 1 which the potential by the side of the low of the signal potential outputted from said level drive circuit is touch-down potential, and is characterized by the potential by the side of the low of said selection pulse being lower than touch-down potential.

[Claim 3] The liquid crystal display according to claim 1 characterized by the potential by the side of the high level of said selection pulse being higher than the potential by the side of the high level of the signal potential outputted from said level drive circuit.

[Claim 4] The liquid crystal display according to claim 1 characterized by the number of time sharing by said time division switch being 3.

[Claim 5] Said time division switch is a liquid crystal display according to claim 4 characterized by consisting of three analog switches corresponding to the number of time sharing.

[Claim 6] Said analog switch is a liquid crystal display according to claim 5 characterized by consisting of a CMOS transistor.

[Claim 7] Said level drive circuit is a liquid crystal display according to claim 1 characterized by outputting the signal potential which a polarity reverses for every 1 horizontal-scanning period to the common electrical potential difference given common to the counterelectrode of a pixel.

[Claim 8] The liquid crystal display according to claim 7 characterized by said common electrical potential difference carrying out alternating current reversal for every 1 horizontal-scanning period.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the active matrix liquid crystal display using the time-sharing driving method as a supply system of the signal potential to the signal line of a liquid crystal display panel about a liquid crystal display (LCD; Liquid Crystal Display).

[0002]

[Description of the Prior Art] As for the liquid crystal display used for the personal computer, the word processor, etc., the active-matrix mold serves as the main force. This active matrix liquid crystal display is excellent in Men of a speed of response or image quality, and is turning into the optimal liquid crystal display for colorization in recent years. Nonlinear components, such as a transistor or diode, are used for each pixel of a liquid crystal display panel in this kind of liquid crystal display. Specifically, it has the structure in which the thin film transistor (TFT; thin film transistor) was formed on the transparence insulating substrate (for example, glass substrate).

[0003] By the way, with the transparence insulating substrate which constitutes a liquid crystal display panel for the driver IC which is the level drive circuit which gives signal potential in order to each pixel per line in a large-sized liquid crystal display, the configuration which prepared on the external circuit substrate of another object is taken especially. And the output of an external driver IC and the signal line of a liquid crystal display panel usually have the correspondence relation of 1 to 1. That is, the signal potential from each output terminal of a driver IC is given to the signal line which corresponds as it is.

[0004] On the other hand, in order to attain the miniaturization of a driver IC, the so-called time-sharing driving method is learned as a method of driving the liquid crystal display panel which enables reduction of the number of the output pins (output terminal) of a driver IC. This time-sharing driving method is the drive approach which makes two or more signal lines one unit (block), forms a time division switch by making two or more signal lines into one unit at a liquid crystal display panel while outputting the signal potential given to two or more signal lines in this 1 block from a driver IC by time series, carries out time sharing of the signal potential of the time series outputted from a driver IC with these time division switches, and is given to two or more signal lines one by one.

[0005]

[Problem(s) to be Solved by the Invention] In the active matrix liquid crystal display using this time-sharing driving method 1H reversal drive method which makes every 1H (H is a horizontal scanning period) reverse the polarity of the image data given to each pixel to the common electrical potential difference VCOM, Or when the 1H common (VCOM) reversal drive method which makes every 1H carry out alternating current reversal of the common electrical potential difference VCOM is taken in addition to 1H reversal drive, fluctuation of the write-in potential by the diving of the signal potential to a non-choosing signal line [ signal line / of selection ] cannot be disregarded. The reason is explained using drawing 12 which shows the configuration of a time division switch below.

[0006] In drawing 12, the time division switch 101 is connected between the common signal line 102 which transmits the signal level which a NchMOS transistor and a PchMOS transistor consist of a CMOS analog switch which it comes to connect with juxtaposition, and is outputted from the driver IC which is not illustrated, and the signal line 103 on a liquid crystal display panel. And a time division switch 101 is that the selection pulse S and its reversal pulse XS are impressed to each gate of Nch and a PchMOS transistor, and has the composition of transmitting the signal level from a driver IC to a signal line 103.

[0007] Here, if it writes in by the diving of the signal potential from selection-signal Rhine to non-selection-signal Rhine and potential is changed, the signal potential of the signal line in the condition of not choosing will become low to touch-down potential (0V), as shown in drawing 13 . Then, the gate potential of a NchMOS transistor serves as electropositive potential relation to the potential of a signal line, i.e., the source potential of a NchMOS transistor. Since this potential relation fulfills the conditions which make a NchMOS transistor turn on (flow), a NchMOS transistor will be in an ON state.

[0008] Then, a signal charge flows out of the signal line in the condition of not choosing, through the NchMOS transistor in this ON state. By this, the signal potential of the signal line in the condition of not choosing will fall. Thus, by the diving of the signal potential from selection-signal Rhine to non-selection-signal Rhine, if the signal potential of the signal line in the condition of not choosing falls, as an image, the brightness variation of the lack of contrast or a longitudinal direction will occur, and it will become the cause of reducing image quality.

[0009] The place which this invention is made in view of the situation mentioned above, and is made into the purpose is to offer the liquid crystal display which generating of the brightness variation of the lack of contrast which originates in the signal potential from selection-signal Rhine to non-selection-signal Rhine at diving, or a longitudinal direction is abolished, and can acquire the stable image quality.

[0010]

[Means for Solving the Problem] The display to which it comes to form a pixel at the intersection of the gate line for a multi-line where the liquid crystal display by this invention was wired in the shape of a matrix on the transparence insulating substrate, and the signal line for two or more trains, The vertical-drive circuit which is prepared on a transparence insulating substrate and drives the gate line for a multi-line, The level drive circuit which outputs the signal potential of the time series corresponding to the predetermined number of time sharing, The time division switch supplied to the signal line to which time sharing of the signal potential of the time series outputted from this level drive circuit is carried out, and it corresponds of the signal lines for two or more trains, It has the selection pulse generating circuit which generates the selection pulse for making this time division switch turn on, and has the composition of having set up lower than the potential by the side of the low of the signal potential outputted from a level drive circuit the potential by the side of the low of a selection pulse.

[0011] In the liquid crystal display of the above-mentioned configuration, when there is diving of the signal potential from selection-signal Rhine to non-selection-signal Rhine, it changes in the direction to which the potential of the signal line in the condition of not choosing falls. By this, supposing the CMOS transistor is used as a time division switch, the source potential of a NchMOS transistor will fall. However, since the potential by the side of the low of the selection pulse impressed to the gate of a NchMOS transistor is lower than the potential by the side of the low of signal potential, the source potential of a NchMOS transistor will not fall rather than the gate potential, and a NchMOS transistor will not be in an ON state. Therefore, the charge of the signal line in the condition of not choosing does not flow out through this NchMOS transistor, and the potential of the signal line in the condition of not choosing is held at the first signal potential.

[0012]

[Embodiment of the Invention] Hereafter, it explains to a detail, referring to a drawing about the gestalt of operation of this invention.

[0013] Drawing 1 is the outline block diagram showing the active matrix liquid crystal display concerning 1 operation gestalt of this invention. In drawing 1 , the gate line 11-1 for m lines - 11-m, and the signal line 12-1 for n train - 12-n are wired in the shape of a matrix on a transparence insulating substrate (not shown), for example, a glass substrate, the unit pixel 13 for a m line n train is formed in the intersection, and the liquid crystal display panel (display) 14 is constituted.

[0014] Especially the unit pixel 13 consists of a thin film transistor (pixel transistor) 15, addition capacity 16, and liquid crystal capacity 17 so that clearly from drawing 2 . The gate electrode is connected to the gate line 11-1, 11-2, 11-3, and ..., and, as for the thin film transistor 15, the source electrode is

connected to a signal line 12-1, 12-2, 12-3, and ..., respectively.

[0015] In this pixel structure, the liquid crystal capacity 17 means the capacity generated between the pixel electrode formed by the thin film transistor 15, and the counterelectrode countered and formed in this. And the potential held at this pixel electrode is written in with the potential of "H" level or "L" level. In addition, predetermined DC potential shall be set up here as a common electrical potential difference VCOM impressed common to a counterelectrode through Cs Rhine 29-1, 29-2, 29-3, and ....

[0016] Moreover, in the unit pixel 13, if a thin film transistor 15 will be in an ON state, while the permeability of the light in liquid crystal changes, the addition capacity 16 will be charged. By this charge, it is held until a thin film transistor 15 will be [ the light transmittance condition in the liquid crystal by the charge electrical potential difference of the addition capacity 16 ] in an ON state next, even if a thin film transistor 15 will be in an OFF state. By such method, improvement in the image quality in the display image of the liquid crystal display panel 14 is achieved.

[0017] On the same substrate as the liquid crystal display panel 14, the vertical-drive circuit 18 is formed of the thin film transistor. This vertical-drive circuit 18 performs a vertical scanning by giving a scan pulse in order to the gate line 11-1 where one edge each was connected to the outgoing end of each of that line - 11-m, and choosing each pixel 13 per line. This vertical-drive circuit 18 has the composition of having a shift register 19, a level shifter 20, and a buffer 21, as shown in drawing 3 .

[0018] On the other hand, the level drive circuit 22 which gives the signal potential according to image data to a signal line 12-1 - 12-n is formed on the circuit board of another object with the substrate of the above-mentioned liquid crystal display panel 14, and is prepared as an external circuit so that it may mention later. In this level drive circuit 22, when premised on the input of a digital signal, in order to drive liquid crystal, it is necessary to change and output a digital signal to an analog signal.

[0019] Therefore, the level drive circuit 22 has the composition of having a shift register 23, a level shifter 24, the data latch 25, D/A converter 26, and a buffer 27, as shown in drawing 4 . The digital image data which enables the display of 512 or more colors with 8 or more gradation will be inputted into this level drive circuit 22.

[0020] Moreover, the number corresponding to the number of time sharing for the signal line 12-1 for n train - 12-n in order to realize 3 time-sharing drives corresponding to R (red), G (green), and B (blue), for example (in this example) [ when three are divided as one unit (block) corresponding to 3 time sharing ] the level drive circuit 22 k driver ICs corresponding to [ so that clearly from drawing 1 ] the several k divided, Namely, IC using for example, the TAB (Tape Automated Bonding) method as a mounting method (TABIC is called hereafter) (1) 28-1 - TABIC (k) It is constituted by 28-k.

[0021] And these TABIC(s) (1) 28-1 - TABIC (k) 28-k The signal potential which it is carried on the external circuit substrate (not shown) of another object with the substrate of the liquid crystal display panel 14, and is given to two or more signal lines in 1 division block by time series Moreover, in order to realize 1H reversal drive which carried out point \*\*, to the common electrical potential difference VCOM, every 1H is made to reverse a polarity and it outputs to it. Corresponding to this, k time division switches 30-1 - 30-k are prepared in the input stage of the signal line 12-1 for n train - 12-n.

[0022] In order to realize 3 time sharing, a time division switch 30-1 consists of three CMOS analog switches (transmission switch) 31, 32, and 33 with which it connects with juxtaposition and a PchMOS transistor and a NchMOS transistor become, and is formed of the thin film transistor on the same substrate as the liquid crystal display panel 14 so that especially clearly from drawing 2 . Also about other time division switches 30-2 - 30-k, it has the completely same composition as a time division switch 30-1.

[0023] And, for example in the time division switch 30-1, each input edge of three analog switches 31, 32, and 33 is connected in common, and the common node is connected to the outgoing end of TABIC 28-1 through the common signal line 34-1. Thereby, it is TABIC (1). The signal potential of the amplitude of 0-5V which are outputted by time series is given to each input edge of three analog switches 31, 32, and 33 via the common signal line 34-1 from 28-1. Each outgoing end of these analog

switches 31, 32, and 33 is connected to one edge each of three signal lines 12-1, 12-2, and 12-3. [0024] To a time division switch 30-2, it goes via the common signal line 34-2, and is TABIC (2). The signal potential of time series is supplied from 28-2. Similarly, to time division switch 30-k, it goes via common signal-line 34-k, and is TABIC (k). The signal potential of time series is supplied from 28-k. In addition, although the configuration which allotted one common signal line per TABIC was shown by this example since it was easy, corresponding to two or more output pins of TABIC, two or more common signal lines will be allotted in fact.

[0025] Moreover, 2 per analog switch and a total of six control lines 35-1 to 35-6 are wired along the wiring direction of the gate line 11-1 - 11-m on the same substrate as the liquid crystal display panel 14. And if it is in a time division switch 30-1, for example, two control-input edges of an analog switch 32 are connected to a control line 35-3 and 35-4, and two control-input edges of an analog switch 33 are connected to a control line 35-1 and 35-2 for two control-input edges (namely, each gate of Nch and a PchMOS transistor) of an analog switch 31 a control line 35-5 and 35-6, respectively.

[0026] In addition, although the connection relation of three analog switches 31-33 of the time division switch 30-1 to six control lines 35-1 to 35-6 was explained, it has connection relation with the same completely said of other time division switches 30-2 - the 30-k here.

[0027] The selection pulses S1-S3 for choosing three analog switches 31-33 each of a time division switch 30-1 - 30-k, and XS1-XS3 are given to six control lines 35-1 to 35-6 from the external selection pulse generating circuit 36. Here, the selection pulses XS1-XS3 are reversal pulses of the selection pulses S1-S3. These selection pulses S1-S3, and XS1-XS3 are the signals for carrying out sequential ON of the three analog switches 31-33 each of a time division switch 30-1 - 30-k synchronizing with the signal potential of the time series outputted from each of TABIC 28-1 - 28-k.

[0028] The input to these selection pulses S1-S3 and the liquid crystal display panel 14 of XS1-XS3 is performed in two or more parts from the level drive circuit 22, i.e., the upper part of liquid crystal display panel 14, side. Six control lines 37-1 - 37-k let the external circuit substrate (not shown) in which TABIC 28-1 - 28-k were carried from the selection pulse generating circuit 36 pass to every k time division switch 30-1 - 30-k, and, specifically, are wired to six control lines 35-1 to 35-6 on the liquid crystal display panel 14.

[0029] Wiring of this control line 35-1 to 35-6 is performed using the tape of low expansion of TAB. and the control line 35-1 among six control lines 35-1 to 35-6 — the selection pulse S1 — a control line 35-2 — the selection pulse XS1 — a control line 35-3 — the selection pulse S2 — a control line 35-5 will transmit the selection pulse S3, and a control line 35-4 will transmit [ a control line 35-6.] the selection pulse XS3 for the selection pulse XS2, respectively.

[0030] In addition, it does not pass over the above-mentioned configuration which inputs the selection pulses S1-S3, and XS1-XS3 into the liquid crystal display panel 14 to an example, and it is not limited to this.

[0031] As opposed to the signal potential outputted from TABIC 28-1 - 28-k setting potential by the side of a low to 0V (touch-down potential), as for the selection pulse generating circuit 36 as the selection pulses S1-S3, and XS1-XS3 The potential by the side of a low is lower than touch-down potential, and the potential by the side of a high level is higher than the potential by the side of the high level of signal potential (this example 5.V), namely, it is constituted so that the pulse of the amplitude of -2V-9V may be generated.

[0032] Here, actuation of a time division switch 30-1 is taken and explained to an example about the reason for setting up lower than touch-down potential the potential by the side of the selection pulses S1-S3 and the low of XS1-XS3, using drawing 5 .

[0033] the signal potential which will be supplied from the common signal line 34-1 if a high level and the selection pulse XS1 are set to a low by the selection pulse S1 and an analog switch 31 will be in an ON (flow) condition as shown in drawing 5 (A) — a part for 3:00 — three signal-lines 12- which corresponded comparatively — 1 and 12 — it writes in the signal line 12-1 of the left-hand side of -2

and 12-3. Then, if a high level and the selection pulse XS2 are set to a low by the selection pulse S2 and an analog switch 32 serves as ON as shown in this drawing (B), signal potential will be written in the signal line 12-2 of middle.

[0034] At this time, the left-hand side signal line 12-1 will be un-choosing, and will almost be in floating. At this time, the signal potential of the signal line 12-2 of middle jumps into the gate line 11 and Cs Rhine 29 which are wired in the longitudinal direction. Then, the potential which jumped into the gate line 11 and Cs Rhine 29 jumps into the signal line 12-1 of the left-hand side in the condition of not choosing, via this gate line 11 and Cs Rhine 29.

[0035] In the condition of 1H reversal drive, the diving of this signal potential acts in the direction to which the amplitude potential of Cs Rhine 29 or the signal line 12-1 in the condition of not choosing is made to increase. The potential of the signal line 12-1 in the condition of not choosing is shown with the shake of Cs Rhine 29 at this time in the wave form chart of drawing 6. It is diving potential  $\Delta V_{spike}$  to Cs Rhine 29 so that clearly from this wave form chart. A negative side is made to carry out 1.78V grade fluctuation of the potential of the signal line 12-1 in the condition of not choosing, rather than touch-down potential (0V). This is based on the simulation result.

[0036] In this condition, the signal-line 12-1 side of an analog switch 31 will be made negative. At this time, the electrical potential difference  $V_{gs}$  between the gate-sources of NchTFT becomes that the potential by the side of the low of the selection pulse S1 is touch-down potential more than with that threshold voltage  $V_{th}$ , and ON actuation of the NchTFT side will be carried out.

[0037] By this, the signal charge currently held at the signal line 12-1 will flow into the common signal-line 34-1 side through NchTFT of an ON state. Consequently, the signal potential of a signal line 12-1 will fall rather than the signal potential written in first. Pixel potential falls with this signal potential that decreased, and it is TN (Twisted Nematic). In liquid crystal, it becomes the cause of image quality degradation.

[0038] As shown in drawing 7, in this operation gestalt, the potential by the side of the selection pulses S1-S3 and the low of XS1-XS3 however, for example, by having taken the configuration set as -2V Diving potential  $\Delta V_{spike}$  to Cs Rhine 29 As shown in drawing 8, the potential of the signal line 12-1 in the condition of not choosing, i.e., the source potential of NchTFT Even if it carries out 1.78V grade fluctuation rather than touch-down potential at a negative side, it is not more nearly less than the gate potential of NchTFT, -2V [i.e., ]:

[0039] Therefore, in order that the electrical potential difference  $V_{gs}$  between the gate-sources of NchTFT may maintain a negative condition and may not exceed the threshold voltage  $V_{th}$ , ON actuation of the NchTFT is not carried out. If NchTFT does not turn on, since the signal charge currently held through this NchTFT at the signal line 12-1 does not flow into the common signal-line 34-1 side, the potential of the signal line 12-1 in the condition of not choosing will be held at the signal potential written in first.

[0040] Thus, the thing for which the potential by the side of the selection pulses S1-S3 and the low of XS1-XS3 is set up lower than touch-down potential So that clearly from drawing 9 which shows the relation of the leak electrical potential difference to the threshold voltage  $V_{th}$  of NchTFT (the amount of leaks of signal potential) Even if it becomes equivalent to use \*\*\*\*\* in a high field about  $V_{th}$  and changes  $V_{th}$  of NchTFT to depression according to a-process compared with the operation field of  $V_{th}$  at the time of setting it as touch-down potential, it turns out that a leak electrical potential difference can fully be stopped.

[0041] Consequently, the stable image quality will be acquired, without being influenced by the variation in the property of a transistor. As mentioned above, when the potential by the side of the selection pulses S1-S3 and the low of XS1-XS3 is set as -2V, the leak potential of signal potential will cut 50mV, and is set to the level hardly judged as an image so that clearly from drawing 9.

[0042] In addition, at this example, it is TABIC (1). 28-1 - TABIC (k) It is premised on the potential by the side of the low of the signal potential supplied from 28-k being 0V (touch-down potential). Although

the potential by the side of the selection pulses S1-S3 and the low of XS1-XS3 is set up lower than touch-down potential. If the potential by the side of the low of signal potential can be raised to 2V at a forward side, it is also possible to set the potential by the side of the selection pulses S1-S3 and the low of XS1-XS3 as touch-down potential.

[0043] Moreover, although it is set as 9V also about the potential by the side of the selection pulses S1-S3 and the high level of XS1-XS3 on the assumption that the potential by the side of the high level of signal potential is 5V. In short, the leak potential about PchTFT of analog switches 31, 32, and 33 can be stopped by setting up more highly than the potential by the side of the high level of signal potential the potential by the side of the selection pulses S1-S3 and the high level of XS1-XS3.

[0044] Furthermore, although this example explained the case where it applied to 1H reversal drive method which makes every 1H reverse the polarity of the image data given to each pixel to the common electrical potential difference VCOM, in addition to 1H reversal drive, it is applicable also like the 1H common (VCOM) reversal drive method which makes every 1H carry out alternating current reversal of the common electrical potential difference VCOM. In the case of a 1H common reversal drive method, as shown in drawing 10, the potential (a) of Cs Rhine and the signal potential (b) of the signal line in the condition of not choosing serve as a wave reversed to every 1H.

[0045] Next, actuation of the time division switch 30-1 in the active matrix liquid crystal indicating equipment concerning this operation gestalt of the above-mentioned configuration, 30-2, and 30-3 is explained using the timing chart of drawing 11. In addition, TABIC corresponding to a time division switch 30-3 and this in drawing 1 (3) It is omitted if it attaches.

[0046] moreover, in this example, the case of application to 3 time-sharing drives corresponding to R, G, and B from having taken for the example TABIC (1) 28-1 and TABIC (2) 28-2 and TABIC (3) From 28-3. The signal potential for 3 pixels of R, G, and B is outputted by time series in order, and is transmitted to a time division switch 30-1, 30-2, and 30-3 by the common signal line 34-1, 34-2, and 34-3.

[0047] As shown in the timing chart of drawing 11, specifically, it is TABIC (1). To a time division switch 30-1, from 28-1, the signal potential of each pixel of R1, G1, and B1. TABIC (2) In the time division switch 30-2 from 28-2, the signal potential of each pixel of R2, G2, and B-2 is TABIC (3). R3; G3, and the signal potential of each pixel of B3 are transmitted to a time division switch 30-3 from 28-3 at the condition .... On the other hand, the selection pulses S1, XS1, S2, XS2; S3, and XS3 which synchronized with the signal of the above-mentioned time series are given to a time division switch 30-1, 30-2, and 30-3.

[0048] Thereby, when the selection pulse S1 is a high level, an analog switch 31 will be in an ON state, and the signal potential of each pixel of R1 and R3 is given to the signal line to which a signal line 12-1 - 12-n correspond, respectively. When the selection pulse S2 is a high level, an analog switch 32 will be in an ON state, and the signal potential of the pixel of G2 is given to the signal line to which a signal line 12-1 - 12-n correspond. When the selection pulse S3 is a high level, an analog switch 33 will be in an ON state, and the signal potential of each pixel of B1 and B3 is given to the signal line to which a signal line 12-1 - 12-n correspond, respectively.

[0049] In addition, although the above-mentioned operation gestalt explained the case where the level drive circuit 22 which drives a signal line 12-1 - 12-n was applied to the liquid crystal display of a configuration of having arranged to the one-side (this example upper-part side) of the liquid crystal display panel 14. It is possible to apply similarly about the liquid crystal display of a configuration of that divided the level drive circuit 22 into two on the basis of for example, the common electrical potential difference VCOM, and the liquid crystal display panel 14 has arranged these two level drive circuits up and down.

[0050]

[Effect of the Invention] In the active matrix liquid crystal display using the time-sharing driving method as a supply system of the signal potential to the signal line of a liquid crystal display panel according to [ as explained above ] this invention. By having set up lower than the potential by the side of the low of



the signal potential outputted from a level drive circuit the potential by the side of the low of the selection pulse for making a time division switch turn on Since the charge of non-selection-signal Rhine does not flow out through a time division switch and the potential of non-selection-signal Rhine is held at the first signal potential, even if it is the case where there is diving of the signal potential from selection-signal Rhine to non-selection-signal Rhine, There is no generating of the brightness variation of the lack of contrast resulting from the diving of the signal potential from selection-signal Rhine to non-selection-signal Rhine or a longitudinal direction, and the stable image quality will be acquired.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
  2. \*\*\*\* shows the word which can not be translated.
  3. In the drawings, any words are not translated.
- 

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the outline block diagram showing the active matrix liquid crystal display concerning 1 operation gestalt of this invention.

[Drawing 2] It is the enlarged drawing of the important section of drawing 1 .

[Drawing 3] It is the block diagram showing an example of the configuration of a vertical-drive circuit.

[Drawing 4] It is the block diagram showing an example of the configuration of a level drive circuit.

[Drawing 5] It is an explanatory view about the dive to the signal potential from selection-signal Rhine to non-selection-signal Rhine.

[Drawing 6] It is the wave form chart showing potential fluctuation of the potential (a) of Cs Rhine in 1H reversal drive, and signal potential (b).

[Drawing 7] It is drawing showing the relation between the analog switch concerning this operation gestalt, and a selection pulse.

[Drawing 8] It is the wave form chart of the signal potential of the signal line in this operation gestalt.

[Drawing 9] It is the property Fig. showing the threshold voltage  $V_{th}$  of NchTFT, and the relation of the leak potential of signal potential.

[Drawing 10] It is the wave form chart showing potential fluctuation of the potential (a) of Cs Rhine in a 1H common (VCOM) reversal drive, and signal potential (b).

[Drawing 11] It is the timing chart of each signal in a trichotomy drive.

[Drawing 12] It is drawing showing the relation between the analog switch concerning the conventional example, and a selection pulse.

[Drawing 13] It is the wave form chart of the signal potential of the signal line in the conventional example.

[Description of Notations]

11-1 - 11-m — A gate line, 12-1 - 12-n — Signal line, 13 — A unit pixel, 14 — A liquid crystal display panel, 15 — Thin film transistor, 16 [ — Level drive circuit, ] — Addition capacity, 17 — Liquid crystal capacity, 18 — A vertical-drive circuit, 22 28-1 - 28-k — TABIC (1) - TABIC (k) 29-1 - 29-m — Cs

Rhine — 30-1 — 30-k [ — A control line, 36 / — Selection pulse generating circuit ] — A time division switch, 31-33 — An analog switch, 34-1 — 34-k — A common signal line, 35-1 — 35-k, 37-1 — 37-k

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-75841

(P2000-75841A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード\* (参考)

G 0 9 G 3/36

G 0 9 G 3/36

2 H 0 9 3

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

5 C 0 0 6

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号

特願平10-244773

(22) 出願日

平成10年8月31日 (1998.8.31)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 猪野 益充

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

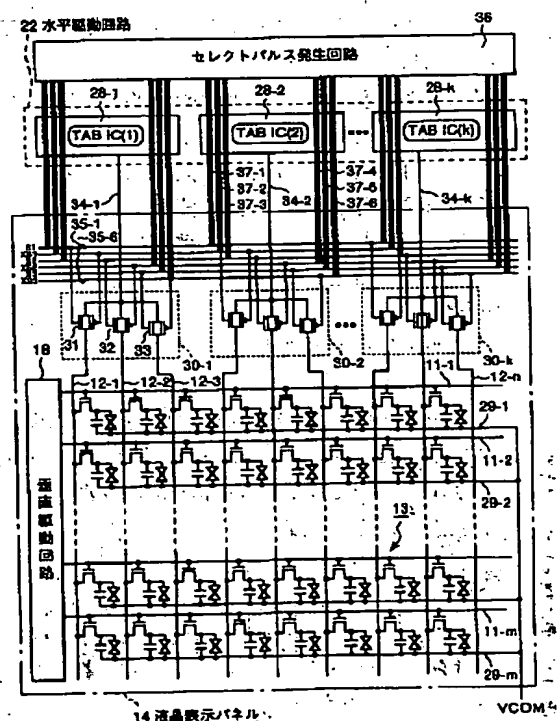
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 選択信号ラインから非選択信号ラインへの信号電位の飛び込みによって非選択状態の信号ラインの信号電位が低下すると、コントラスト不足や横方向の輝度バラツキが発生し、画像品質を低下させる原因となる。

【解決手段】 液晶表示パネル14の信号ライン12-1～12-nへの信号電位の供給方式として時分割スイッチ30-1～30-kによる時分割駆動を用いたアクティブマトリクス型液晶表示装置において、セレクトパルス発生回路36から時分割スイッチ30-1～30-kのCMOSアナログスイッチに与えられるセレクトパルスS1～S3、XS1～XS3の低レベル側の電位を、水平駆動回路22のTAB IC(1) 28-1～TAB IC(k) 28-kから出力される信号電位の低レベル側の電位よりも低く設定する。



(2)

## 【特許請求の範囲】

【請求項1】 透明絶縁基板上にマトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交点に画素が形成されてなる表示部と、前記透明絶縁基板上に設けられて前記複数行分のゲートラインを駆動する垂直駆動回路と、所定の時分割数に対応した時系列の信号電位を出力する水平駆動回路と、

前記水平駆動回路から出力される時系列の信号電位を時分割して前記複数列分の信号ラインのうちの対応する信号ラインに供給する時分割スイッチと、

前記時分割スイッチをオンさせるためのセレクトパルスが発生するセレクトパルス発生回路とを備え、前記セレクトパルスの低レベル側の電位を、前記水平駆動回路から出力される信号電位の低レベル側の電位よりも低く設定したことを特徴とする液晶表示装置。

【請求項2】 前記水平駆動回路から出力される信号電位の低レベル側の電位が接地電位であり、前記セレクトパルスの低レベル側の電位が接地電位よりも低いことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記セレクトパルスの高レベル側の電位が、前記水平駆動回路から出力される信号電位の高レベル側の電位よりも高いことを特徴とする請求項1記載の液晶表示装置。

【請求項4】 前記時分割スイッチによる時分割数が3であることを特徴とする請求項1記載の液晶表示装置。

【請求項5】 前記時分割スイッチは、時分割数に対応した3個のアナログスイッチからなることを特徴とする請求項4記載の液晶表示装置。

【請求項6】 前記アナログスイッチは、CMOSトランジスタからなることを特徴とする請求項5記載の液晶表示装置。

【請求項7】 前記水平駆動回路は、画素の対向電極に共通に与えられるコモン電圧に対して1水平走査期間ごとに極性が反転する信号電位を出力することを特徴とする請求項1記載の液晶表示装置。

【請求項8】 前記コモン電圧が1水平走査期間ごとに交流反転することを特徴とする請求項7記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、液晶表示装置(LCD; Liquid Crystal Display)に関し、特に液晶表示パネルの信号ラインへの信号電位の供給方式として時分割駆動法を用いたアクティブマトリクス型液晶表示装置に関する。

## 【0002】

【従来の技術】 パーソナルコンピュータやワードプロセッサなどに用いられている液晶表示装置は、アクティブマトリクス型が主力となっている。このアクティブマト

2

リクス型液晶表示装置は、応答速度や画像品質の面で優れており、近年のカラー化に最適な液晶表示装置となってきた。この種の液晶表示装置において、液晶表示パネルの各画素には、トランジスタあるいはダイオードなどの非線形な素子が用いられている。具体的には、透明絶縁基板(例えば、ガラス基板)上に薄膜トランジスタ(TFT; thin film transistor)を形成した構造となっている。

【0003】ところで、特に大型の液晶表示装置においては、各画素に行単位で順に信号電位を与える水平駆動回路であるドライバICを、液晶表示パネルを構成する透明絶縁基板とは別体の外部回路基板上に設けた構成を採っている。そして、外部のドライバICの出力と液晶表示パネルの信号ラインとは、通常、1対1の対応関係にある。すなわち、ドライバICの各出力端子からの信号電位はそのまま対応する信号ラインに与えられるようになっている。

【0004】これに対して、ドライバICの小型化を図るために、ドライバICの出力ピン(出力端子)の数の削減を可能とする液晶表示パネルの駆動法として、いわゆる時分割駆動法が知られている。この時分割駆動法は、複数本の信号ラインを1単位(ブロック)とし、この1ブロック内の複数本の信号ラインに与える信号電位を時系列でドライバICから出力する一方、液晶表示パネルには複数本の信号ラインを1単位として時分割スイッチを設け、これら時分割スイッチにてドライバICから出力される時系列の信号電位を時分割して複数本の信号ラインに順次与える駆動方法である。

## 【0005】

【発明が解決しようとする課題】 この時分割駆動法を用いたアクティブマトリクス型液晶表示装置において、各画素に与える画像データの極性をコモン電圧VCOMに対して1H(Hは水平走査期間)ごとに反転させる1H反転駆動方式、又は1H反転駆動に加え、コモン電圧VCOMを1Hごとに交流反転させる1Hコモン(VCOM)反転駆動方式を採った場合には、選択の信号ラインから非選択の信号ラインへの信号電位の飛び込みによる書き込み電位の変動が無視できない。以下にその理由について、時分割スイッチの構成を示す図12を用いて説明する。

【0006】図12において、時分割スイッチ101は、NchMOSトランジスタおよびPchMOSトランジスタが並列に接続されてなるCMOSアナログスイッチからなり、図示せぬドライバICから出力される信号電圧を伝送する共通信号ライン102と液晶表示パネル上の信号ライン103との間に接続されている。そして、時分割スイッチ101は、Nch、PchMOSトランジスタの各ゲートにセレクトパルスSおよびその反転パルスXSが印加されることで、ドライバICからの信号電圧を信号ライン103に伝達する構成となってい

(3)

る。

【0007】ここで、選択信号ラインから非選択信号ラインへの信号電位の飛び込みによって書き込み電位が変動すると、非選択状態にある信号ラインの信号電位が、図13に示すように、接地電位(0V)に対して低くなる。すると、NchMOSトランジスタのゲート電位は、信号ラインの電位、即ちNchMOSトランジスタのソース電位に対して正の電位関係となる。この電位関係は、NchMOSトランジスタをオン(導通)させる条件を満たすことから、NchMOSトランジスタがオン状態となる。

【0008】すると、このオン状態にあるNchMOSトランジスタを通して非選択状態の信号ラインから信号電荷が流出する。これにより、非選択状態の信号ラインの信号電位が低下することになる。このように、選択信号ラインから非選択信号ラインへの信号電位の飛び込みにより、非選択状態の信号ラインの信号電位が低下すると、画像としては、コントラスト不足や横方向の輝度バラツキが発生し、画像品質を低下させる原因となる。

【0009】本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、選択信号ラインから非選択信号ラインへの信号電位に飛び込み起因するコントラスト不足や横方向の輝度バラツキの発生をなくし、安定した画像品質を得ることが可能な液晶表示装置を提供することにある。

【0010】

【課題を解決するための手段】本発明による液晶表示装置は、透明絶縁基板上にマトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交点に画素が形成されてなる表示部と、透明絶縁基板上に設けられて複数行分のゲートラインを駆動する垂直駆動回路と、所定の時分割数に対応した時系列の信号電位を出力する水平駆動回路と、この水平駆動回路から出力される時系列の信号電位を時分割して複数列分の信号ラインのうちの対応する信号ラインに供給する時分割スイッチと、この時分割スイッチをオンさせるためのセレクトパルスを発生するセレクトパルス発生回路とを備え、セレクトパルスの低レベル側の電位を、水平駆動回路から出力される信号電位の低レベル側の電位よりも低く設定した構成となっている。

【0011】上記構成の液晶表示装置において、選択信号ラインから非選択信号ラインへの信号電位の飛び込みがあった場合に、非選択状態の信号ラインの電位が低下する方向に変動する。これにより、時分割スイッチとしてCMOSトランジスタが用いられているとすると、NchMOSトランジスタのソース電位が低下することになる。ところが、NchMOSトランジスタのゲートに印加されるセレクトパルスの低レベル側の電位が信号電位の低レベル側の電位よりも低いことから、NchMOSトランジスタのソース電位がそのゲート電位よりも低

下することではなく、NchMOSトランジスタがオン状態とはならない。したがって、このNchMOSトランジスタを通して非選択状態の信号ラインの電荷が流出することではなく、非選択状態の信号ラインの電位が最初の信号電位に保持される。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0013】図1は、本発明の一実施形態に係るアクティブマトリクス型液晶表示装置を示す概略構成図である。図1において、透明絶縁基板、例えばガラス基板(図示せず)上にm行分のゲートライン11-1~11-mおよびn列分の信号ライン12-1~12-nがマトリクス状に配線され、その交点にはm行n列分の単位画素13が形成されて液晶表示パネル(表示部)14を構成している。

【0014】単位画素13は、特に図2から明らかなように、薄膜トランジスタ(画素トランジスタ)15、付加容量16および液晶容量17から構成されている。薄膜トランジスタ15は、そのゲート電極がゲートライン11-1, 11-2, 11-3, ……に、そのソース電極が信号ライン12-1, 12-2, 12-3, ……にそれぞれ接続されている。

【0015】この画素構造において、液晶容量17は、薄膜トランジスタ15で形成される画素電極と、これに対向して形成される対向電極との間で発生する容量を意味する。そして、この画素電極に保持される電位は、

“H”レベルもしくは“L”レベルの電位で書き込まれる。なお、Csライン29-1, 29-2, 29-3, ……を介して対向電極に共通に印加されるコモン電圧VCOMとして、ここでは、所定のDC電位が設定されるものとする。

【0016】また、単位画素13では、薄膜トランジスタ15がオン状態となると、液晶での光の透過率が変化するとともに付加容量16が充電される。この充電により、薄膜トランジスタ15がオフ状態となっても、付加容量16の充電電圧による液晶での光透過率状態が、次に薄膜トランジスタ15がオン状態となるまでの間保持される。このような方式により、液晶表示パネル14の表示画像における画質の向上が図られる。

【0017】液晶表示パネル14と同一基板上には、薄膜トランジスタによって垂直駆動回路18が形成されている。この垂直駆動回路18は、その各行の出力端に各一端が接続されたゲートライン11-1~11-mに対して順に走査パルスを与えて各画素13を行単位で選択することによって垂直走査を行う。この垂直駆動回路18は、例えば図3に示すように、シフトレジスタ19、レベルシフト20およびバッファ21を有する構成となっている。

【0018】一方、信号ライン12-1~12-nに画像デ

(4)

5

ータに応じた信号電位を与える水平駆動回路22が、後述するように、上記液晶表示パネル14の基板とは別体の回路基板上に形成されて外部回路として設けられる。この水平駆動回路22では、デジタル信号の入力を前提とした場合、液晶を駆動するためにはデジタル信号をアナログ信号に変換して出力する必要がある。

【0019】そのために、水平駆動回路22は、例えば図4に示すように、シフトレジスタ23、レベルシフタ24、データラッチ25、D/Aコンバータ26およびバッファ27を有する構成となっている。この水平駆動回路22には、例えば8階調以上で512色以上の表示を可能とするデジタル画像データが入力されることになる。

【0020】また、例えばR(赤)、G(緑)、B(青)に対応した3時分割駆動を実現するために、n列分の信号ライン12-1~12-nを時分割数に対応した本数(本例では、3時分割に対応して3本)を1単位(ブロック)として分割した場合において、水平駆動回路22は、図1から明らかなように、その分割した数kに対応したk個のドライバIC、即ち実装方式として例えばTAB(Tape Automated Bonding)方式を用いたIC(以下、TABICと称す)(1)28-1~TABIC(k)28-kによって構成されている。

【0021】そして、これらTABIC(1)28-1~TABIC(k)28-kは、液晶表示パネル14の基板とは別体の外部回路基板(図示せず)上に搭載され、1分割ブロック内の複数本の信号ラインに与える信号電位を時系列で、また先述した1H反転駆動を実現するために、コモン電圧VCOMに対して1Hごとに極性を反転させて出力するようになっている。これに対応して、k個の時分割スイッチ30-1~30-kが、n列分の信号ライン12-1~12-nの入力段に設けられている。

【0022】時分割スイッチ30-1は3時分割を実現するために、特に図2から明らかなように、PchMOSトランジスタおよびNchMOSトランジスタが並列に接続されてなる3個のCMOSアナログスイッチ(トランスミッションスイッチ)31、32、33からなり、液晶表示パネル14と同一基板上に薄膜トランジスタによって形成されている。他の時分割スイッチ30-2~30-kについても、時分割スイッチ30-1と全く同じ構成となっている。

【0023】そして、例えば時分割スイッチ30-1において、3個のアナログスイッチ31、32、33の各入力端は共通に接続され、その共通接続点は共通信号ライン34-1を介してTABIC28-1の出力端に接続されている。これにより、TABIC(1)28-1から時系列で出力される例えば0~5Vの振幅の信号電位が、共通信号ライン34-1を経由して3個のアナログスイッチ31、32、33の各入力端に与えられる。これらアナログスイッチ31、32、33の各出力端は、3本の信号

6

ライン12-1、12-2、12-3の各一端に接続されている。

【0024】時分割スイッチ30-2に対しては、共通信号ライン34-2を経由してTABIC(2)28-2から時系列の信号電位が供給される。同様にして、時分割スイッチ30-kに対しては、共通信号ライン34-kを経由してTABIC(k)28-kから時系列の信号電位が供給される。なお、本例では、簡単のため、1個のTABICにつき1本の共通信号ラインを配した構成を示したが、実際には、TABICの複数の出力ピンに対応して複数本の共通信号ラインが配されることになる。

【0025】また、液晶表示パネル14と同一基板上において、1個のアナログスイッチにつき2本、計6本の制御ライン35-1~35-6が、ゲートライン11-1~11-mの配線方向に沿って配線されている。そして、例えば時分割スイッチ30-1にあっては、アナログスイッチ31の2つの制御入力端(即ち、Nch、PchMOSトランジスタの各ゲート)が制御ライン35-1、35-2に、アナログスイッチ32の2つの制御入力端が制御ライン35-3、35-4に、アナログスイッチ33の2つの制御入力端が制御ライン35-5、35-6にそれぞれ接続されている。

【0026】なお、ここでは、6本の制御ライン35-1~35-6に対する時分割スイッチ30-1の3個のアナログスイッチ31~33の接続関係について説明したが、他の時分割スイッチ30-2~30-kについても全く同じ接続関係となっている。

【0027】6本の制御ライン35-1~35-6には、時分割スイッチ30-1~30-kの各3個のアナログスイッチ31~33を選択するためのセレクトパルスS1~S3、XS1~XS3が外部のセレクトパルス発生回路36から与えられる。ここで、セレクトパルスXS1~XS3は、セレクトパルスS1~S3の反転パルスである。このセレクトパルスS1~S3、XS1~XS3は、TABIC28-1~28-kの各々から出力される時系列の信号電位に同期して、時分割スイッチ30-1~30-kの各3個のアナログスイッチ31~33を順次オンさせるための信号である。

【0028】このセレクトパルスS1~S3、XS1~XS3の液晶表示パネル14への入力、例えば、水平駆動回路22側から、即ち液晶表示パネル14の上方側から複数の個所にて行われる。具体的には、k個の時分割スイッチ30-1~30-kごとに6本の制御ライン37-1~37-kが、セレクトパルス発生回路36からTABIC28-1~28-kを搭載した外部回路基板(図示せず)を通して、液晶表示パネル14上の6本の制御ライン35-1~35-6まで配線される。

【0029】この制御ライン35-1~35-6の配線は、例えばTABの低膨張のテープを用いて行われる。そして、6本の制御ライン35-1~35-6のうち、制御ライ

(5)

ン35-1はセレクトパルスS1を、制御ライン35-2はセレクトパルスXS1を、制御ライン35-3はセレクトパルスS2を、制御ライン35-4はセレクトパルスXS2を、制御ライン35-5はセレクトパルスS3を、制御ライン35-6はセレクトパルスXS3をそれぞれ伝送することになる。

【0030】なお、セレクトパルスS1～S3、XS1～XS3を液晶表示パネル14へ入力する上記の構成は一例に過ぎず、これに限定されるものではない。

【0031】セレクトパルス発生回路36は、TABIC28-1～28-kから出力される信号電位が、低レベル側の電位を0V（接地電位）としているのに対し、セレクトパルスS1～S3、XS1～XS3として、低レベル側の電位が接地電位よりも低く、かつ高レベル側の電位が信号電位の高レベル側の電位（本例では、5V）よりも高い、即ち例えば-2V～9Vの振幅のパルスを発生するように構成されている。

【0032】ここで、セレクトパルスS1～S3、XS1～XS3の低レベル側の電位を接地電位よりも低く設定する理由について、図5を用いて例えば時分割スイッチ30-1の動作を例に採って説明する。

【0033】図5（A）に示すように、セレクトパルスS1が高レベル、セレクトパルスXS1が低レベルになり、アナログスイッチ31がオン（導通）状態となると、共通信号ライン34-1から供給される信号電位を、3時分割に対応した3本の信号ライン12-1、12-2、12-3のうちの左側の信号ライン12-1に書き込む。その後、同図（B）に示すように、セレクトパルスS2が高レベル、セレクトパルスXS2が低レベルになり、アナログスイッチ32がオンとなると、真ん中の信号ライン12-2に信号電位を書き込む。

【0034】このとき、左側の信号ライン12-1は非選択となり、ほとんどフローティング状態となる。このとき、真ん中の信号ライン12-2の信号電位は、横方向に配線されているゲートライン11およびCsライン29に飛び込む。その後、ゲートライン11およびCsライン29に飛び込んだ電位は、このゲートライン11およびCsライン29を経由して、非選択状態の左側の信号ライン12-1に飛び込む。

【0035】1H反転駆動の状態においては、この信号電位の飛び込みが、Csライン29や非選択状態の信号ライン12-1の振幅電位を増加させる方向に作用する。このときのCsライン29のゆれと、非選択状態の信号ライン12-1の電位を図6の波形図に示す。この波形図から明らかなように、Csライン29への飛び込み電位 $\Delta V_{spike}$ は、非選択状態の信号ライン12-1の電位を、接地電位（0V）よりも負側に1.78V程度変動させる。これは、シミュレーション結果に基づいている。

【0036】この状態では、アナログスイッチ31の信

8

号ライン12-1側を負にすることになる。このとき、セレクトパルスS1の低レベル側の電位が接地電位であると、NchTFTのゲート-ソース間電圧 $V_{gs}$ がその閾値電圧 $V_{th}$ 以上となり、NchTFT側をオン動作させることになる。

【0037】これにより、信号ライン12-1に保持されている信号電荷は、オン状態のNchTFTを通して共通信号ライン34-1側に流出することになる。その結果、信号ライン12-1の信号電位は、最初に書き込まれた信号電位よりも低下することになる。この減少した信号電位によって画素電位は低下し、TN(Twisted Nematic)液晶においては、画質劣化の原因となる。

【0038】ところが、本実施形態においては、図7に示すように、セレクトパルスS1～S3、XS1～XS3の低レベル側の電位を例えば-2Vに設定した構成を採っていることにより、Csライン29への飛び込み電位 $\Delta V_{spike}$ によって非選択状態の信号ライン12-1の電位、即ちNchTFTのソース電位が、図8に示すように、接地電位よりも負側に1.78V程度変動したとしても、NchTFTのゲート電位、即ち-2Vよりも下回ることにはない。

【0039】したがって、NchTFTのゲート-ソース間電圧 $V_{gs}$ が負状態を維持し、その閾値電圧 $V_{th}$ を越えることはないため、NchTFTをオン動作させることはない。NchTFTがオンしなければ、このNchTFTを通して信号ライン12-1に保持されている信号電荷が共通信号ライン34-1側に流出することもないため、非選択状態の信号ライン12-1の電位は、最初に書き込まれた信号電位に保持されることになる。

【0040】このように、セレクトパルスS1～S3、XS1～XS3の低レベル側の電位を接地電位よりも低く設定することは、NchTFTの閾値電圧 $V_{th}$ に対してのリーク電圧（信号電位のリーク量）の関係を示す図9から明らかなように、接地電位に設定した場合の $V_{th}$ の稼働領域に比べて、 $V_{th}$ を高い領域で使用することと等価となり、NchTFTの $V_{th}$ がプロセスによってデプレッションに変動しても、十分にリーク電圧を抑え得ることがわかる。

【0041】その結果、トランジスタの特性のバラツキに左右されることなく、安定した画像品質が得られることになる。上述したように、セレクトパルスS1～S3、XS1～XS3の低レベル側の電位を例えば-2Vに設定した場合には、図9から明らかなように、信号電位のリーク電位は50mVを切ることになり、ほとんど画像として判断されないレベルになる。

【0042】なお、本例では、TABIC(1)28-1～TABIC(k)28-kから供給される信号電位の低レベル側の電位が0V（接地電位）であることを前提とし、セレクトパルスS1～S3、XS1～XS3の低レベル側の電位を接地電位よりも低く設定するとしたが、信号

(6)

9

電位の低レベル側の電位を正側に、例えば2Vに上げることができれば、セレクトパルスS1～S3, XS1～XS3の低レベル側の電位を接地電位に設定することも可能である。

【0043】また、セレクトパルスS1～S3, XS1～XS3の高レベル側の電位についても、信号電位の高レベル側の電位が5Vであることを前提として例えば9Vに設定しているが、要は、セレクトパルスS1～S3, XS1～XS3の高レベル側の電位を信号電位の高レベル側の電位よりも高く設定することで、アナログスイッチ31, 32, 33のPchTFTに関するリーク電位を抑えることができることになる。

【0044】さらに、本例では、各画素に与える画像データの極性をコモン電圧VCOMに対して1Hごとに反転させる1H反転駆動方式に適用した場合について説明したが、1H反転駆動に加え、コモン電圧VCOMを1Hごとに交流反転させる1Hコモン(VCOM)反転駆動方式にも同様に適用可能である。1Hコモン反転駆動方式の場合には、図1.0に示すように、Csラインの電位(a)と非選択状態の信号ラインの信号電位(b)は、1Hごとに反転した波形となる。

【0045】次に、上記構成の本実施形態に係るアクティブマトリクス型液晶表示装置における時分割スイッチ30-1, 30-2, 30-3の動作について、図11のタイミングチャートを用いて説明する。なお、図1には、時分割スイッチ30-3およびこれに対応するTABIC(3)については省略されている。

【0046】また、本例では、R, G, Bに対応した3時分割駆動への適用の場合を例に採っていることから、TABIC(1)28-1, TABIC(2)28-2, TABIC(3)28-3からは、R, G, Bの3画素分の信号電位が順に時系列で出力され、共通信号ライン34-1, 34-2, 34-3によって時分割スイッチ30-1, 30-2, 30-3へ伝送される。

【0047】具体的には、図11のタイミングチャートに示すように、TABIC(1)28-1から時分割スイッチ30-1にはR1, G1, B1の各画素の信号電位が、TABIC(2)28-2から時分割スイッチ30-2にはR2, G2, B2の各画素の信号電位が、TABIC(3)28-3から時分割スイッチ30-3にはR3, G3, B3の各画素の信号電位が、……という具合に伝送される。一方、時分割スイッチ30-1, 30-2, 30-3には、上記の時系列の信号に同期したセレクトパルスS1, XS1, S2, XS2, S3, XS3が与えられる。

【0048】これにより、セレクトパルスS1が高レベルのときは、アナログスイッチ31がオン状態となり、R1, R3の各画素の信号電位を信号ライン12-1～12-nの対応する信号ラインにそれぞれ与える。セレクトパルスS2が高レベルのときは、アナログスイッチ32がオン状態となり、G2の画素の信号電位を信号ライン

10

12-1～12-nの対応する信号ラインに与える。セレクトパルスS3が高レベルのときは、アナログスイッチ33がオン状態となり、B1, B3の各画素の信号電位を信号ライン12-1～12-nの対応する信号ラインにそれぞれ与える。

【0049】なお、上記実施形態では、信号ライン12-1～12-nを駆動する水平駆動回路22を、液晶表示パネル14の一方側(本例では、上方側)に配置した構成の液晶表示装置に適用した場合について説明したが、水平駆動回路22を例えばコモン電圧VCOMを基準に2つに分割し、この2つの水平駆動回路を液晶表示パネル14の上下に配置した構成の液晶表示装置についても同様に適用することが可能である。

【0050】

【発明の効果】以上説明したように、本発明によれば、液晶表示パネルの信号ラインへの信号電位の供給方式として時分割駆動法を用いたアクティブマトリクス型液晶表示装置において、時分割スイッチをオンさせるためのセレクトパルスの低レベル側の電位を、水平駆動回路から出力される信号電位の低レベル側の電位よりも低く設定したことにより、選択信号ラインから非選択信号ラインへの信号電位の飛び込みがあった場合であっても、非選択信号ラインの電荷が時分割スイッチを通して流出することではなく、非選択信号ラインの電位が最初の信号電位に保持されるため、選択信号ラインから非選択信号ラインへの信号電位の飛び込みに起因するコントラスト不足や横方向の輝度バラツキの発生はなく、安定した画像品質が得られることになる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るアクティブマトリクス型液晶表示装置を示す概略構成図である。

【図2】図1の要部の拡大図である。

【図3】垂直駆動回路の構成の一例を示すブロック図である。

【図4】水平駆動回路の構成の一例を示すブロック図である。

【図5】選択信号ラインから非選択信号ラインへの信号電位の飛び込みについての説明図である。

【図6】1H反転駆動の場合のCsラインの電位(a)と信号電位(b)の電位変動を示す波形図である。

【図7】本実施形態に係るアナログスイッチとセレクトパルスの関係を示す図である。

【図8】本実施形態における信号ラインの信号電位の波形図である。

【図9】NchTFTの閾値電圧Vthと信号電位のリーク電位の関係を示す特性図である。

【図10】1Hコモン(VCOM)反転駆動の場合のCsラインの電位(a)と信号電位(b)の電位変動を示す波形図である。

【図11】3分割駆動の場合の各信号のタイミングチャ



(7)

11

ートである。

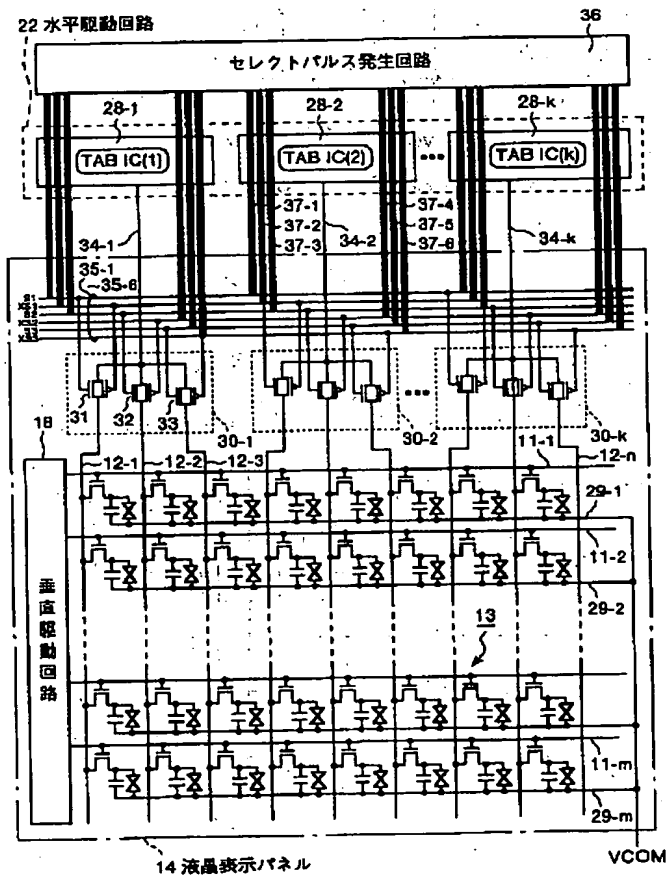
【図12】従来例に係るアナログスイッチとセレクトパルスの関係を示す図である。

【図13】従来例における信号ラインの信号電位の波形図である。

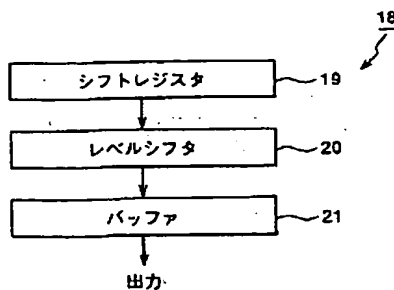
【符号の説明】

11-1~11-m…ゲートライン、12-1~12-n…信号ライン、13…単位画素、14…液晶表示パネル、15

【図1】



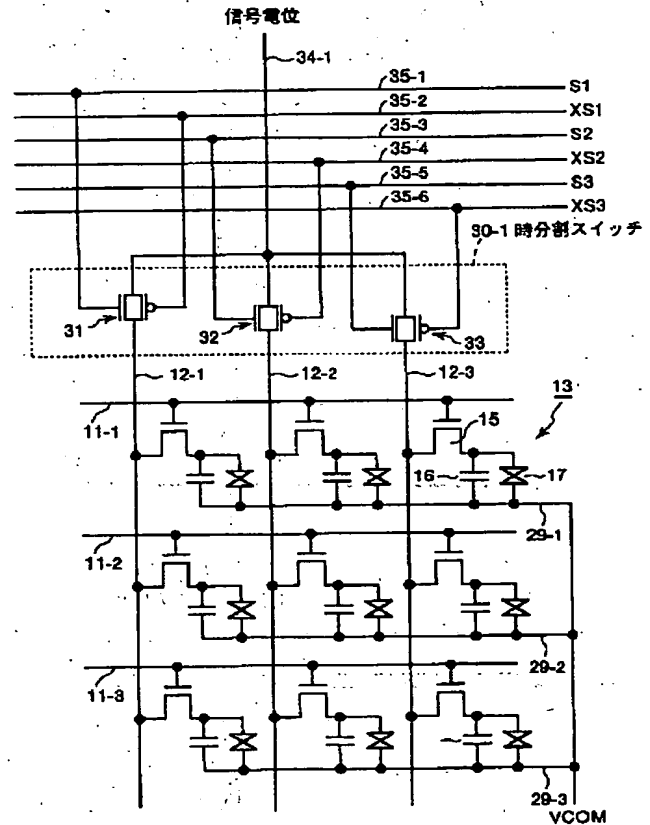
【図3】



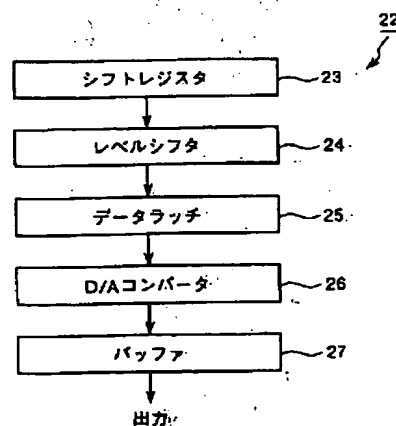
12

…薄膜トランジスタ、16…付加容量、17…液晶容量、18…垂直駆動回路、22…水平駆動回路、28-1~28-k…TAB IC(1)~TAB IC(k)、29-1~29-m…Csライン、30-1~30-k…時分割スイッチ、31~33…アナログスイッチ、34-1~34-k…共通信号ライン、35-1~35-k、37-1~37-k…制御ライン、36…セレクトパルス発生回路

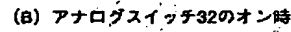
【図2】



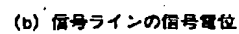
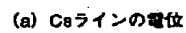
【図4】



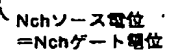
【図5】



【図 7】

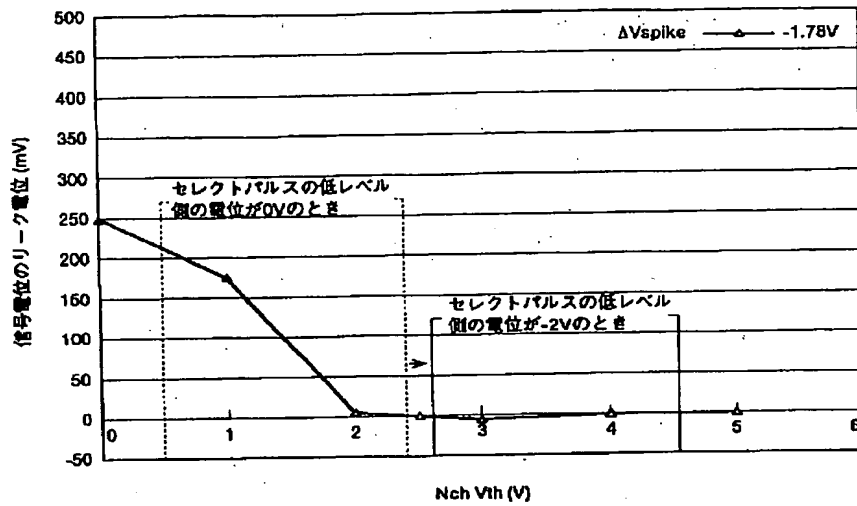


【図 8】

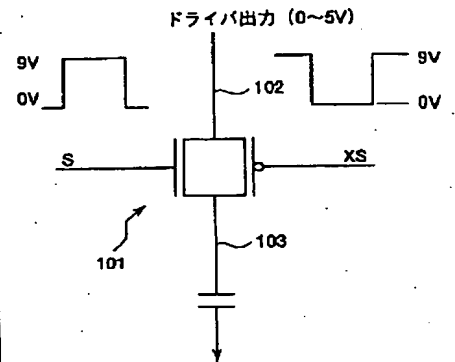


(9)

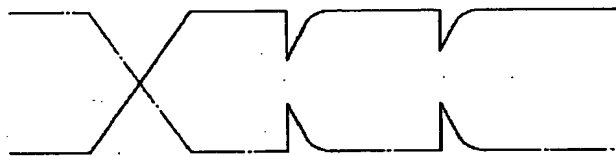
【図9】



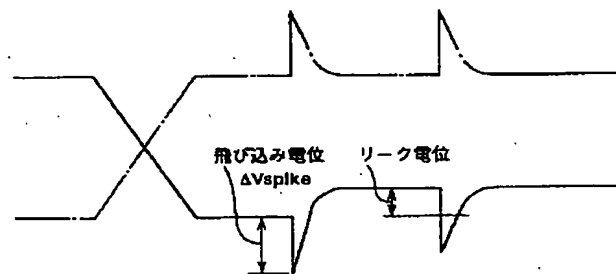
【図12】



【図10】



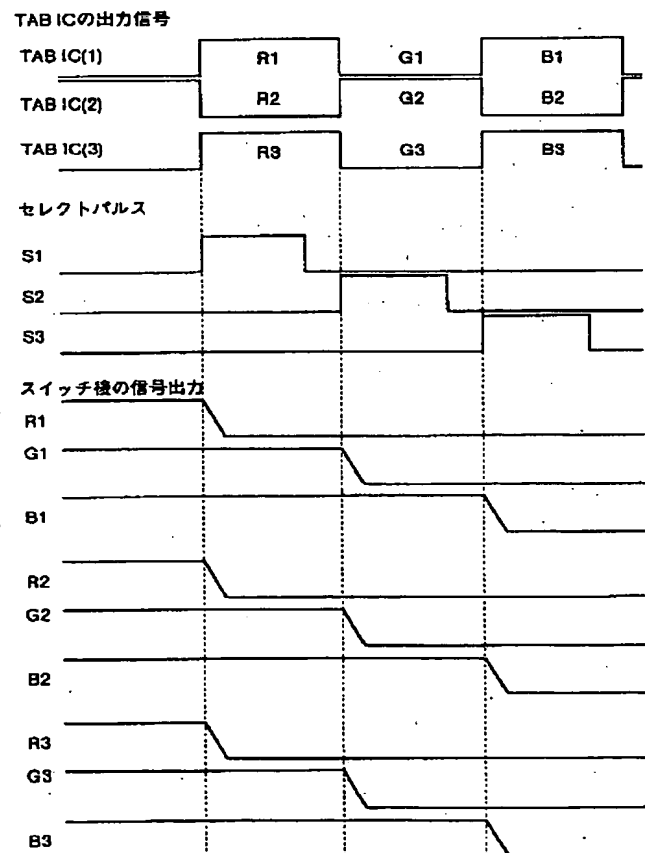
(a) Csラインの信号電位



(b) 信号ラインの信号電位

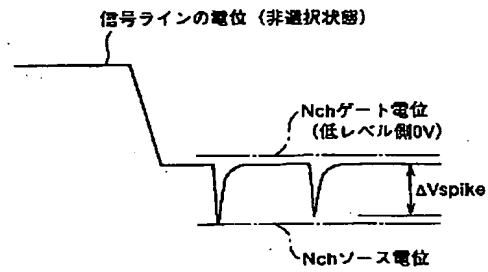
1Hコモン (VCOM) 反転駆動の場合

【図11】



(10)

【図13】



フロントページの続き

(72)発明者 仲島 義晴  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 市川 弘明  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

Fターム(参考) 2H093 NA43 NC16 ND36  
5C006 AC25 AC27 BB16 BC11 BC13  
BF33 BF34 FA26 FA42 FA54